

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 08 月 19 日
Application Date

申請案號：092122720
Application No.

申請人：南亞科技股份有限公司
Applicant(s)

局長

Director General

蔡練生

發文日期：西元 2003 年 9 月 15 日
Issue Date

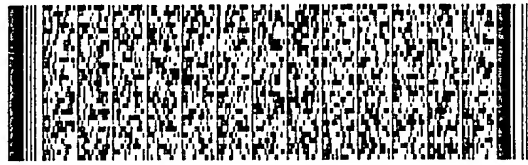
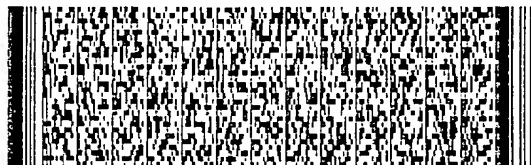
發文字號：09220929120
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	在基底中定義深溝槽之方法及用以定義深溝槽之多層硬式罩幕結構
	英 文	Method for defining deep trench in substrate and multi-layer hard mask structure for defining the same
二、 發明人 (共3人)	姓 名 (中文)	1. 鄒侃儒 2. 蔡子敬 3. 陳逸男
	姓 名 (英文)	1. Kaan-Lu Tzou 2. Tzu-Ching Tsai 3. Yi-Nan Chen
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW 3. 中華民國 TW
	住居所 (中 文)	1. 台北市中山北路六段186巷43號 2. 桃園縣蘆竹鄉南華一街39號10樓之9 3. 台北市北投區建民路151巷4號
	住居所 (英 文)	1. 2. 3.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 南亞科技股份有限公司
	名稱或 姓 名 (英文)	1. Nanya Technology Corporation.
	國 籍 (中英文)	1. 中華民國 ROC
	住居所 (營業所) (中 文)	1. 桃園縣龜山鄉華亞科技園區復興三路669號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. Hwa-Ya Technology Park 669, Fuhsing 3 Rd., Kueishan, Taoyuan, Taiwan, R.O.C
	代表人 (中文)	1. 連日昌
代表人 (英文)	1. Jih-Chang Lien	



四、中文發明摘要 (發明名稱：在基底中定義深溝槽之方法及用以定義深溝槽之多層硬式罩幕結構)

本發明揭示一種在基底中定義深溝槽之方法。首先，在一基底上形成一多層硬式罩幕結構，其包括：一第一硬式罩幕層及設置其上方之至少一第二硬式罩幕層，其中第一硬式罩幕層係由一第一硼矽玻璃層及設置其上之一第一未摻雜矽玻璃層所構成，且第二硬式罩幕層係由一第二硼矽玻璃層及設置其上之一第二未摻雜矽玻璃層所構成。接著，在多層硬式罩幕結構上方形成一複晶矽層，然後蝕刻複晶矽層以形成一開口。接著，依序蝕刻開口下方之多層硬式罩幕結構及基底，以同時在基底中形成深溝槽及去除複晶矽層。最後，去除多層硬式罩幕結構。

伍、(一)、本案代表圖為：第5圖。

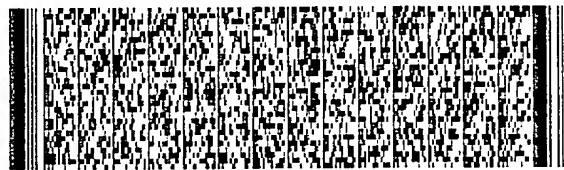
(二)、本案代表圖之元件代表符號簡單說明：

10、30~ 硼矽玻璃層；

20、40~ 未摻雜玻璃層；

六、英文發明摘要 (發明名稱：Method for defining deep trench in substrate and multi-layer hard mask structure for defining the same)

A method for defining a deep trench in a substrate. A multi-layer hard mask structure is formed overlying a substrate, which includes a first hard mask layer, comprising a first boro-silicate glass (BSG) layer and an overlying first undoped silicate glass (USG) layer, and at least one second hard mask layer, comprising a second BSG layer and an overlying second USG layer,



四、中文發明摘要 (發明名稱：在基底中定義深溝槽之方法及用以定義深溝槽之多層硬式罩幕結構)

205~第一硬式罩幕層；
206~多層硬式罩幕結構；
207~第二硬式罩幕層。

六、英文發明摘要 (發明名稱：Method for defining deep trench in substrate and multi-layer hard mask structure for defining the same)

disposed thereon. A polysilicon layer is formed on the multi-layer hard mask structure. The polysilicon layer is etched to form an opening. The multi-layer hard mask structure and the underlying substrate under the opening are successively etched to simultaneously form the deep trench in the substrate and remove the polysilicon layer. The multi-layer hard mask structure is



四、中文發明摘要 (發明名稱：在基底中定義深溝槽之方法及用以定義深溝槽之多層硬式罩幕結構)

六、英文發明摘要 (發明名稱：Method for defining deep trench in substrate and multi-layer hard mask structure for defining the same)

removed.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得,不須寄存。



【發明所屬之領域】

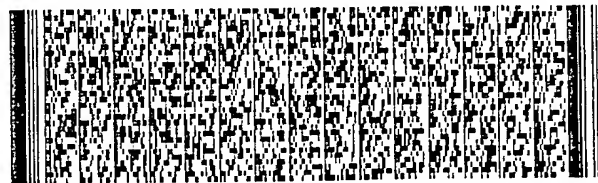
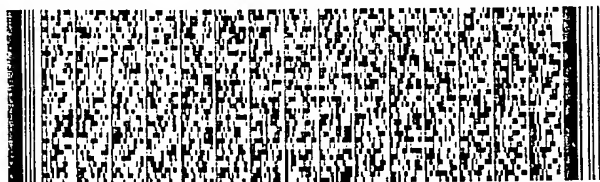
本發明係有關於一種用以定義深溝槽之硬式罩幕結構，特別是有關於一種含有硼矽玻璃 (boro-silicate glass, BSG) 層之多層硬式罩幕結構。

【先前技術】

典型的動態隨機存取記憶單元係由一儲存電容及一電晶體所組成。為了增加動態隨機存取記憶體 (DRAM) 積體電路的密度，需製作一種溝槽型儲存電容，其乃形成於蝕刻矽基底所構成的深溝槽內。再者，電晶體形成於溝槽型電容上方以構成一溝槽式動態隨機存取記憶體。

在積體電路的製造中，通常必須藉由蝕刻而在一矽基底中形成一溝槽，特別是在製造高密度溝槽式動態隨機存取記憶體，其需要在矽基底中形成一深且窄孔徑之溝槽。然而，深溝槽的製作卻在溝槽蝕刻期間出現許多問題。舉例而言，在去除用以定義深溝槽之硬式罩幕之後產生殘留的硬式罩幕，或是出現不一致的深溝槽深度及關鍵圖形尺寸 (critical dimension, CD)。

為了進一步了解本發明之背景，以下配合第1a到1c圖及第2a到2b圖說明傳統上在一矽基底中定義一深溝槽之方法。首先，請參照第1a圖，提供一矽基底100，接著在矽基底100上形成一襯墊介電層，其可由一薄氧化矽層102及一氮化矽層104所構成。接著，在襯墊介電層102及104上方形成一硬式罩幕層106，例如一硼矽玻璃 (BSG) 層用以



五、發明說明 (2)

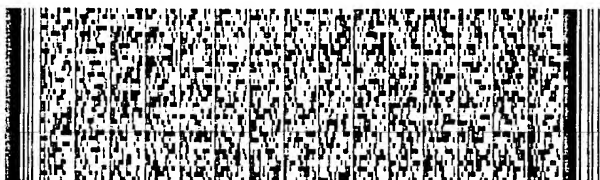
作為後續定義深溝槽之用。之後，可選擇性對硼矽玻璃層106實施一回火處理。接著，在硬式罩幕層106上方形成一光阻圖案層108，其具有一開口110以露出定義深溝槽之區域。

接下來，請參照第1b圖，藉由蝕刻製程依序去除開口110下方的硬式罩幕層106及襯墊介電層102及104以在其中形成一開口112並露出部分的基底100表面。之後，去除光阻圖案層108。

接下來，請參照第1c圖，以硬式罩幕層106作為蝕刻罩幕來蝕刻露出的基底100表面以在其中形成一深溝槽114。同時，部分的硬式罩幕層106因受到蝕刻而損失。

接下來，請參照第2a及2b圖，藉由氣相氫氟酸 (vapor hydrofluoric acid, VHF)、氫氟酸溶液、或緩衝氧化蝕刻液 (buffer oxide etchant, BOE) 去除硬式罩幕層106。然而，對硼矽玻璃層106所實施之回火處理使得硼矽玻璃層106中的硼離子向上擴散，造成硼離子濃度不均而在硼矽玻璃層106底部形成一幾近未摻雜區 (未繪示)。由於氣相氫氟酸難以去除上述未摻雜區而在襯墊介電層102及104上方造成殘留的硬式罩幕層106a，如第2a圖所示。再者，當利用氫氟酸溶液或緩衝氧化蝕刻液去除硼矽玻璃層106時，雖然不會產生殘留的硬式罩幕層，然而其下方的薄氧化矽層102會受到蝕刻而發生底切

(undercut)，如第2b圖中的箭號所示，其導致氮化矽層104容易在後續蝕刻製程中剝離，降低元件製作的良率。



五、發明說明 (3)

另外，雖然不對硼矽玻璃層106實施回火處理不會產生硼離子向上擴散的問題，但是卻會造成深溝槽的深度及關鍵圖形尺寸不一致。

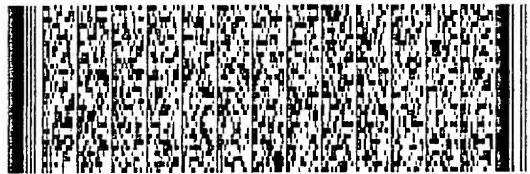
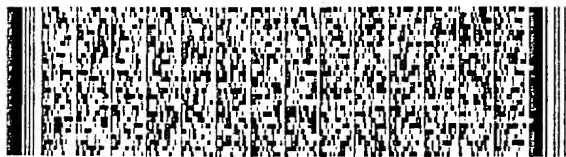
【發明內容】

有鑑於此，本發明之目的在於提供一種用以定義深溝槽之多層硬式罩幕結構及在基底中定義深溝槽之方法，其藉由一多層硼矽玻璃層結構作為定義深溝槽之硬式罩幕層，取代傳統單一硼矽玻璃層，並對多層硼矽玻璃層實施一回火處理，用以改善硬式罩幕層中硼離子之濃度均勻性 (concentration uniformity) 及防止發生深溝槽深度及關鍵圖形尺寸不一致。

本發明之另一目的在於提供一種用以定義深溝槽之多層硬式罩幕結構及在基底中定義深溝槽之方法，其利用在每一硼矽玻璃層之間設置一未摻雜矽玻璃層來作為硼離子之擴散阻障層，避免多層硬式罩幕結構中的硼離子受熱而不斷向上擴散，藉以防止在去除多層硬式罩幕結構之後發生殘留。

又本發明之另一目的在於提供一種用以定義深溝槽之多層硬式罩幕結構及在基底中定義深溝槽之方法，其利用在多層硬式罩幕結構之底部形成一摻雜濃度較高之硼矽玻璃層，藉以進一步維持硼離子之濃度均勻性。

根據上述之目的，本發明提供一種用以定義深溝槽之多層硬式罩幕結構，其包括：一第一硬式罩幕層及設置其



五、發明說明 (4)

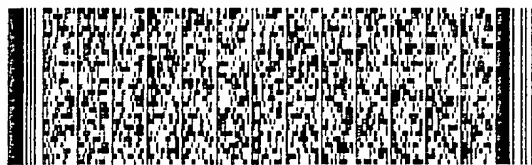
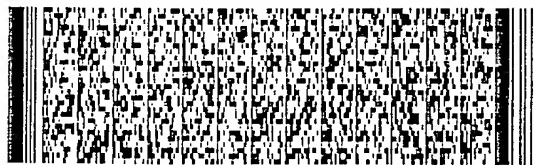
上之至少一第二硬式罩幕層。第一硬式罩幕層係由一第一硼矽玻璃層及設置其上之一第一未摻雜矽玻璃層所構成且第二硬式罩幕層係由一第二硼矽玻璃層及設置其上之一第二未摻雜矽玻璃層所構成。

再者，第一硼矽玻璃層之摻雜濃度在 4×10^{17} 到 8×10^{17} atom/cm² 的範圍且大體相同於第二硼矽玻璃層。

再者，第一硼矽玻璃層之摻雜濃度可高於第二硼矽玻璃層，第一硼矽玻璃層之摻雜濃度 4×10^{17} 到 8×10^{17} atom/cm² 的範圍且第二硼矽玻璃層之摻雜濃度在 1×10^{17} 到 5×10^{17} atom/cm² 的範圍。

再者，第一硼矽玻璃層之厚度大體為0.3微米。第一未摻雜矽玻璃層之厚度在100到400埃的範圍。第二未摻雜矽玻璃層之厚度在100到400埃的範圍。

又根據上述之目的，本發明提供一種在基底中定義深溝槽之方法。首先，在一基底上形成一多層硬式罩幕結構，其包括：一第一硬式罩幕層及設置其上方之至少一第二硬式罩幕層，其中第一硬式罩幕層係由一第一硼矽玻璃層及設置其上之一第一未摻雜矽玻璃層所構成，且第二硬式罩幕層係由一第二硼矽玻璃層及設置其上之一第二未摻雜矽玻璃層所構成。之後，在多層硬式罩幕結構上方形成一複晶矽層並接著蝕刻複晶矽層以形成一開口而露出部分之多層硬式罩幕結構。接著，依序蝕刻開口下方之多層硬式罩幕結構及基底，以同時在基底中形成深溝槽及去除複晶矽層。最後，去除多層硬式罩幕結構。



五、發明說明 (5)

再者，此方法更包括在形成複晶矽層之前，對多層硬式單幕結構實施一回火處理。其中，回火處理之溫度在550到600℃的範圍且回火處理之時間在15到25分鐘的範圍。

再者，第一硼矽玻璃層之摻雜濃度在 4×10^{17} 到 8×10^{17} atom/cm²的範圍且大體相同於第二硼矽玻璃層。

再者，第一硼矽玻璃層之摻雜濃度可高於第二硼矽玻璃層，第一硼矽玻璃層之摻雜濃度在 4×10^{17} 到 8×10^{17} atom/cm²的範圍，且第二硼矽玻璃層之摻雜濃度在在 1×10^{17} 到 5×10^{17} atom/cm²的範圍。

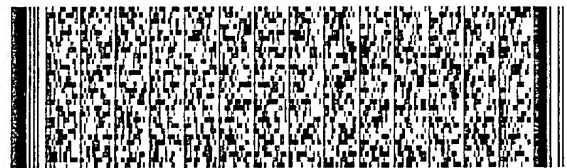
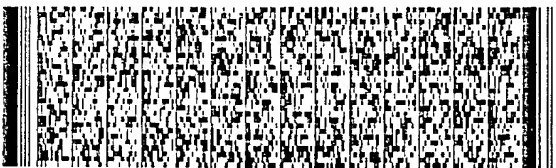
再者，第一硼矽玻璃層之厚度大體為0.3微米。第一未摻雜矽玻璃層之厚度在100到400埃的範圍。第二未摻雜矽玻璃層之厚度在100到400埃的範圍。複晶矽層之厚度在0.2到0.3微米的範圍。

為讓本發明之上述目的、特徵和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下：

【實施方式】

以下配合第3a到3d圖以及第4與5圖說明本發明實施例之一種在一基底中定義一深溝槽之方法。

首先，請參照第3a圖，提供一基底200，例如一矽基底或其他半導體基底。接著，在基底200上方形成一襯墊介電層，其可由一層薄氧化矽層202與一層較厚的氮化矽

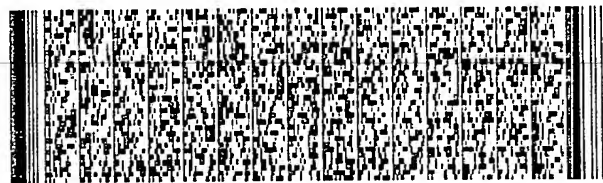
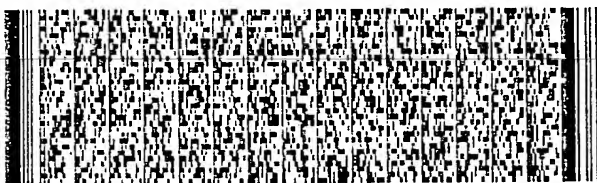


五、發明說明 (6)

層204所組成。其中，薄氧化矽層202可由熱氧化法沉積而成。再者，設置在薄氧化矽層202上方的氮化矽層204可利用低壓化學氣相沉積法 (low-pressure CVD, LPCVD) 而形成之。

接著，在襯墊介電層202及204上形成一多層硬式罩幕結構206。此處，為了簡化圖式，僅繪示出一平整基底。接下來，請參照第4圖，其繪示出根據本發明實施例之一多層硬式罩幕結構206剖面示意圖，其包括：一第一硬式罩幕層205及設置其上方之一第二硬式罩幕層207。在本實施例中，第一硬式罩幕層205可由一硼矽玻璃 (boro-silicate glass, BSG) 層10及設置其上之一未摻雜矽玻璃 (undoped silicate glass, USG) 層20所構成。硼矽玻璃層10之厚度大體為0.3微米，而未摻雜矽玻璃層20之厚度在100到400埃的範圍。未摻雜矽玻璃層20係作為一擴散阻障層，在後續的熱處理期間，其下方之硼矽玻璃層10中的硼離子會擴散至未摻雜矽玻璃層20內而停止繼續向上擴散。

同樣地，第二硬式罩幕層207可由一硼矽玻璃層30及設置其上之一未摻雜矽玻璃層40所構成。硼矽玻璃層30之厚度在1.2到1.4微米的範圍，而未摻雜矽玻璃層40之厚度在100到400埃的範圍。此處，硼矽玻璃層10之摻雜濃度大體相同於硼矽玻璃層30，且在 4×10^{17} 到 8×10^{17} atom/cm²的範圍。在本實施例中，利用未摻雜矽玻璃層20及40作為擴散阻障層並採用兩層的硬式罩幕層205及207，可有效防止

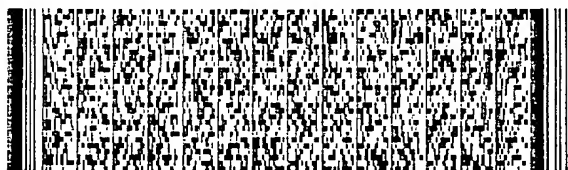


五、發明說明 (7)

硬式罩幕結構206在後續熱處理時，內部離子摻雜濃度不均而導致在硬式罩幕結構206底部形成一幾近未摻雜區。另外，為了進一步防止硬式罩幕結構206中底部形成一幾近未摻雜區，硼矽玻璃層10之摻雜濃度可高於硼矽玻璃層30，其中硼矽玻璃層10之摻雜濃度在 4×10^{17} 到 8×10^{17} atom/cm²的範圍，且硼矽玻璃層30之摻雜濃度在 1×10^{17} 到 5×10^{17} atom/cm²的範圍。

接下來，請參照第5圖，其繪示出根據本發明實施例之另一多層硬式罩幕結構206剖面示意圖，其包括：一第一硬式罩幕層205及設置其上方之複數第二硬式罩幕層207。在此多層硬式罩幕結構206中，第一硬式罩幕層205可由一硼矽玻璃層10及設置其上之一未摻雜矽玻璃層20所構成。硼矽玻璃層10之厚度大體為0.3微米，而未摻雜矽玻璃層20之厚度在100到400埃的範圍。

同樣地，第二硬式罩幕層207可由一硼矽玻璃層30及設置其上之一未摻雜矽玻璃層40所構成。不同於第4圖所示之多層硬式罩幕結構，所有硼矽玻璃層30及所有未摻雜矽玻璃層40之厚度總和在1.2到1.4微米的範圍，而每一未摻雜矽玻璃層40之厚度在100到400埃的範圍。此處，硼矽玻璃層10之摻雜濃度大體相同於硼矽玻璃層30，且在 4×10^{17} 到 8×10^{17} atom/cm²的範圍。在本實施例中，利用未摻雜矽玻璃層20及40作為擴散阻障層並採用兩層的硬式罩幕層205及207，可有效防止硬式罩幕結構206在後續熱處理時，內部離子摻雜濃度不均而導致在硬式罩幕結構206底



五、發明說明 (8)

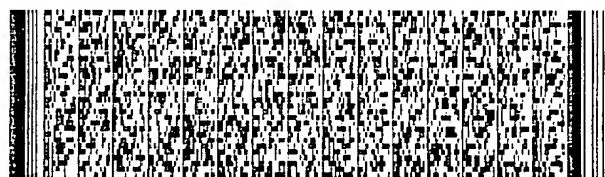
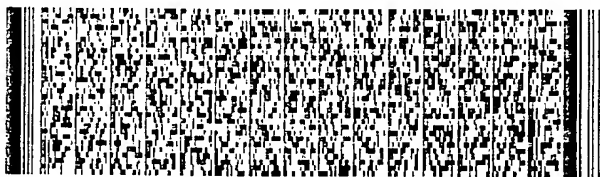
部形成一幾近未摻雜區。再者，多層硼矽玻璃層30可在回火處理後，進一步增加硬式罩幕結構206整體之摻雜濃度均勻性。同樣地，為了進一步防止硬式罩幕結構206中底部形成一幾近未摻雜區，硼矽玻璃層10之摻雜濃度可高於硼矽玻璃層30，其中硼矽玻璃層10之摻雜濃度在 4×10^{17} 到 $8 \times 10^{17} \text{ atom/cm}^2$ 的範圍，且硼矽玻璃層30之摻雜濃度在 1×10^{17} 到 $5 \times 10^{17} \text{ atom/cm}^2$ 的範圍。

接著，如先前所述，為了避免後續形成之深溝槽的深度及關鍵圖形尺寸不一致，必須對包含有硼矽玻璃之硬式罩幕層結構206實施一回火處理，其中回火處理之溫度在550到600℃的範圍，且回火處理之時間在15到25分鐘的範圍。

之後，可藉由習知之沉積技術，例如化學氣相沉積(CVD)，在550到620℃的沉積溫度範圍下，於多層硬式罩幕結構206上方形成一複晶矽層208，其厚度在0.2到0.3微米的範圍。此處，複晶矽層208係作為定義多層硬式罩幕結構206之罩幕層。

接著，利用習知微影技術在複晶矽層208上方形成一光阻圖案層218，其具有一開口以露出定義深溝槽之區域。之後，可藉由反應離子蝕刻(reactive ion etching, RIE)來蝕刻開口下方的複晶矽層208以在其中形成開口212而露出部分的多層硬式罩幕結構206。

接著，藉由灰化法或適當的溶液去除光阻圖案層210之後，以複晶矽層208作為罩幕，依序蝕刻露出的多層硬



五、發明說明 (9)

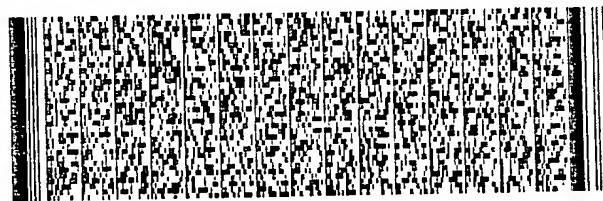
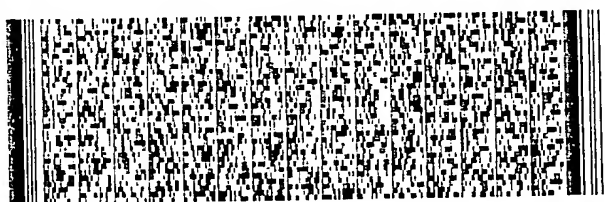
式罩幕結構206及下方的襯墊介電層202及204而在其中形成開口214並露出部分的基底200表面。

接下來，請參照第3c圖，同樣可藉由反應離子蝕刻(RIE)來蝕刻露出的基底200，以在基底200中形成一深溝槽216及完全去除複晶矽層208。同時，部分的多層硬式罩幕結構206因受到蝕刻而損失。

最後，採用氣相氫氟酸(VHF)去除多層硬式罩幕結構206而露出襯墊介電層202及204表面。如先前所述，由於多層硬式罩幕結構206底部並無形成一幾近未摻雜區，因此不會形成殘留的硬式罩幕層，如第3d圖所示。再者，此處採用氣相氫氟酸(VHF)去除多層硬式罩幕結構206，因此可避免薄氧化矽層202發生底切，導致不良的影響。

相較於習知採用單一硼矽玻璃層作為定義深溝槽之硬式罩幕層，本發明之含有硼矽玻璃之多層硬式罩幕層結構可在實施回火處理後，改善硼離子之濃度均勻性並防止形成之深溝槽之深度及關鍵圖形尺寸不一致。再者，本發明之多層硬式罩幕層結構中，每一硼矽玻璃層之間分別設置有一未摻雜矽玻璃層來作為硼離子之擴散阻障層，避免硼離子受熱而不斷向上擴散，藉以防止在去除多層硬式罩幕結構之後發生殘留。亦即，可提升元件製作之良率。另外，本發明之多層硬式罩幕結構之底部可為一摻雜濃度較高之硼矽玻璃層，藉以進一步維持硼離子之濃度均勻性。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此項技藝者，在不脫離本發明之精



五、發明說明 (10)

神和範圍內，當可作更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1a到1c圖係繪示出傳統上在一矽基底中定義一深溝槽之方法剖面示意圖。

第2a圖係繪示出在深溝槽上方產生殘留的硬式罩幕層之剖面示意圖。

第2b圖係繪示出在深溝槽上方發生底切的襯墊介電層之剖面示意圖。

第3a到3d圖係繪示出根據本發明實施例之一基底中定義一深溝槽之方法剖面示意圖。

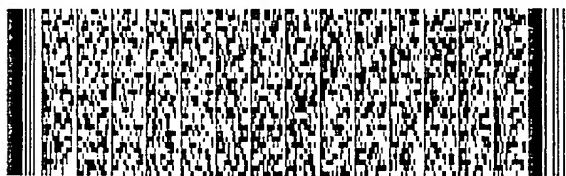
第4圖係繪示出根據本發明實施例之一多層硬式罩幕結構剖面示意圖。

第5圖係繪示出根據本發明實施例之另一多層硬式罩幕結構剖面示意圖。

【符號說明】

習知

- 100~矽基底；
- 102~氧化矽層；
- 104~氮氧化矽層；
- 106~硬式罩幕層；
- 106a~殘留的硬式罩幕層；
- 108~光阻圖案層；
- 110、112~開口；
- 114~深溝槽。



圖式簡單說明

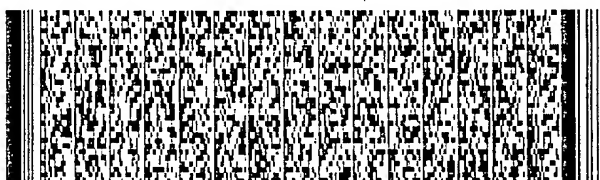
本發明

- 10、30~ 硼矽玻璃層；
- 20、40~ 未摻雜玻璃層；
- 200~ 矽基底；
- 202~ 氧化矽層；
- 204~ 氮氧化矽層；
- 205~ 第一硬式單幕層；
- 206~ 多層硬式單幕結構；
- 207~ 第二硬式單幕層；
- 208~ 複晶矽層；
- 210~ 光阻圖案層；
- 212、214~ 開口；
- 216~ 深溝槽。



六、申請專利範圍

1. 一種用以定義深溝槽之多層硬式罩幕結構，包括：
一第一硬式罩幕層，由一第一硼矽玻璃層及設置其上之一第一未摻雜矽玻璃層所構成；以及
至少一第二硬式罩幕層，設置於該第一罩幕層上方，其由一第二硼矽玻璃層及設置其上之一第二未摻雜矽玻璃層所構成。
2. 如申請專利範圍第1項所述之用以定義深溝槽之多層硬式罩幕結構，其中該第一硼矽玻璃層之摻雜濃度大體相同於該第二硼矽玻璃層。
3. 如申請專利範圍第2項所述之用以定義深溝槽之多層硬式罩幕結構，其中該第一硼矽玻璃層之摻雜濃度在 4×10^{17} 到 $8 \times 10^{17} \text{ atom/cm}^2$ 的範圍。
4. 如申請專利範圍第2項所述之用以定義深溝槽之多層硬式罩幕結構，其中該第一硼矽玻璃層之厚度大體為0.3微米。
5. 如申請專利範圍第1項所述之用以定義深溝槽之多層硬式罩幕結構，其中該第一未摻雜矽玻璃層之厚度在100到400埃的範圍。
6. 如申請專利範圍第1項所述之用以定義深溝槽之多層硬式罩幕結構，其中該第二未摻雜矽玻璃層之厚度在100到400埃的範圍。
7. 如申請專利範圍第1項所述之用以定義深溝槽之多層硬式罩幕結構，其中該第一硼矽玻璃層之摻雜濃度高於該第二硼矽玻璃層。



六、申請專利範圍

8. 如申請專利範圍第7項所述之用以定義深溝槽之多層硬式罩幕結構，其中該第一硼矽玻璃層之摻雜濃度在 4×10^{17} 到 $8 \times 10^{17} \text{atom/cm}^2$ 的範圍。

9. 如申請專利範圍第7項所述之用以定義深溝槽之多層硬式罩幕結構，其中該第二硼矽玻璃層之摻雜濃度在 1×10^{17} 到 $5 \times 10^{17} \text{atom/cm}^2$ 的範圍。

10. 一種在一基底中定義一深溝槽之方法，包括下列步驟：

在一基底上形成一多層硬式罩幕結構，其包括：一第一硬式罩幕層及設置其上方之至少一第二硬式罩幕層，其中該第一硬式罩幕層係由一第一硼矽玻璃層及設置其上之一第一未摻雜矽玻璃層所構成，且該第二硬式罩幕層係由一第二硼矽玻璃層及設置其上之一第二未摻雜矽玻璃層所構成；

在該多層硬式罩幕結構上方形成一複晶矽層；

蝕刻該複晶矽層以形成一開口並露出部分之該多層硬式罩幕結構；

依序蝕刻該開口下方之多層硬式罩幕結構及該基底，以同時在該基底中形成該深溝槽及去除該複晶矽層；以及去除該多層硬式罩幕結構。

11. 如申請專利範圍第10項所述之在一基底中定義一深溝槽之方法，其中該基底與該多層硬式罩幕結構之間更包括一墊氧化層及設置其上之一氮化矽層。

12. 如申請專利範圍第10項所述之在一基底中定義一



六、申請專利範圍

深溝槽之方法，更包括在形成該複晶矽層之前，對該多層硬式罩幕結構實施一回火處理。

13. 如申請專利範圍第12項所述之在一基底中定義一深溝槽之方法，其中該回火處理之溫度在550到600℃的範圍。

14. 如申請專利範圍第12項所述之在一基底中定義一深溝槽之方法，其中該回火處理之時間在15到25分鐘的範圍。

15. 如申請專利範圍第10項所述之在一基底中定義一深溝槽之方法，其中該第一硼矽玻璃層之摻雜濃度大體相同於該第二硼矽玻璃層。

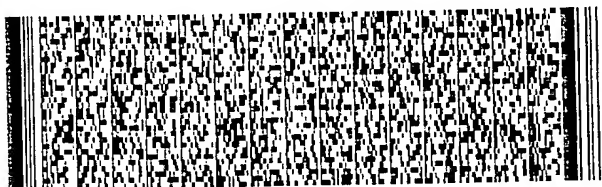
16. 如申請專利範圍第15項所述之在一基底中定義一深溝槽之方法，其中該第一硼矽玻璃層之摻雜濃度在 4×10^{17} 到 8×10^{17} atom/cm²的範圍。

17. 如申請專利範圍第10項所述之在一基底中定義一深溝槽之方法，其中該第一硼矽玻璃層之厚度大體為0.3微米。

18. 如申請專利範圍第10項所述之在一基底中定義一深溝槽之方法，其中該第一未摻雜矽玻璃層之厚度在100到400埃的範圍。

19. 如申請專利範圍第10項所述之在一基底中定義一深溝槽之方法，其中該第二未摻雜矽玻璃層之厚度在100到400埃的範圍。

20. 如申請專利範圍第10項所述之在一基底中定義一



六、申請專利範圍

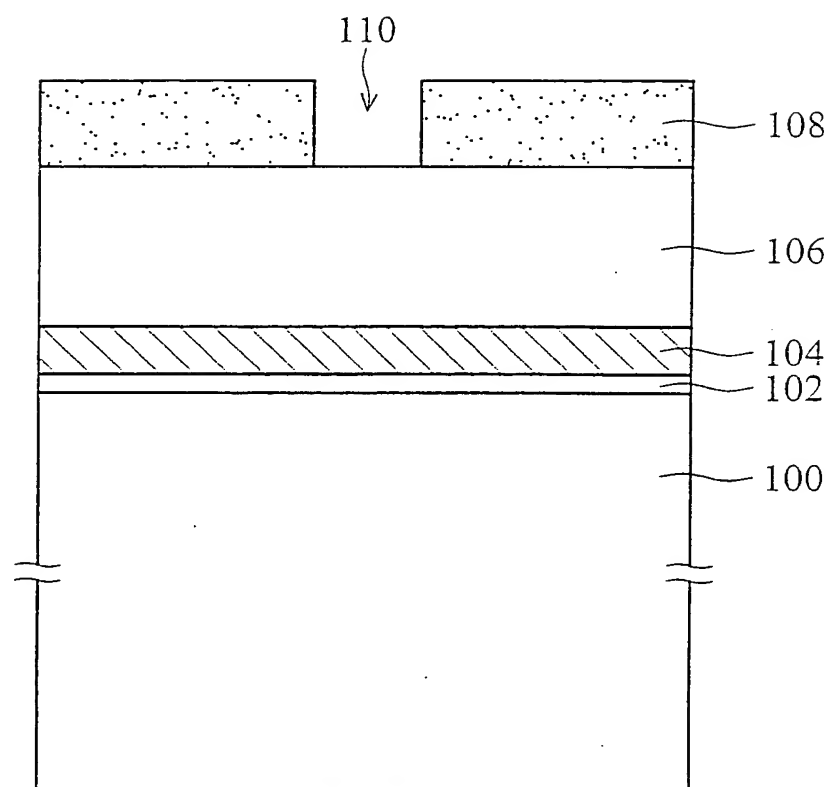
深溝槽之方法，其中該第一硼矽玻璃層之摻雜濃度高於該第二硼矽玻璃層。

21. 如申請專利範圍第20項所述之在一基底中定義一深溝槽之方法，其中該第一硼矽玻璃層之摻雜濃度在 4×10^{17} 到 $8 \times 10^{17} \text{ atom/cm}^2$ 的範圍。

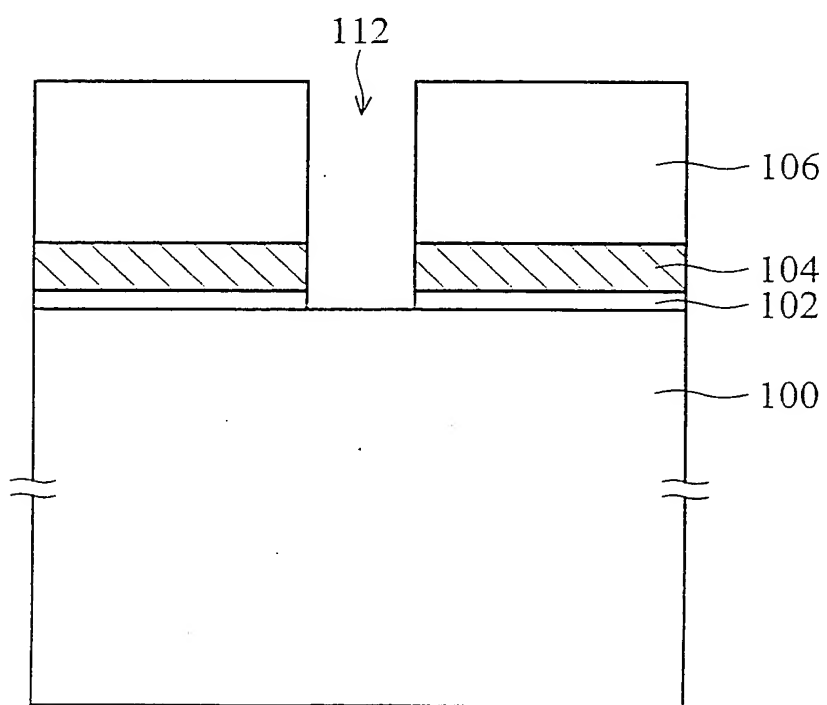
22. 如申請專利範圍第20項所述之在一基底中定義一深溝槽之方法，其中該第二硼矽玻璃層之摻雜濃度在 1×10^{17} 到 $5 \times 10^{17} \text{ atom/cm}^2$ 的範圍。

23. 如申請專利範圍第10項所述之在一基底中定義一深溝槽之方法，其中該複晶矽層之厚度在0.2到0.3微米的範圍。

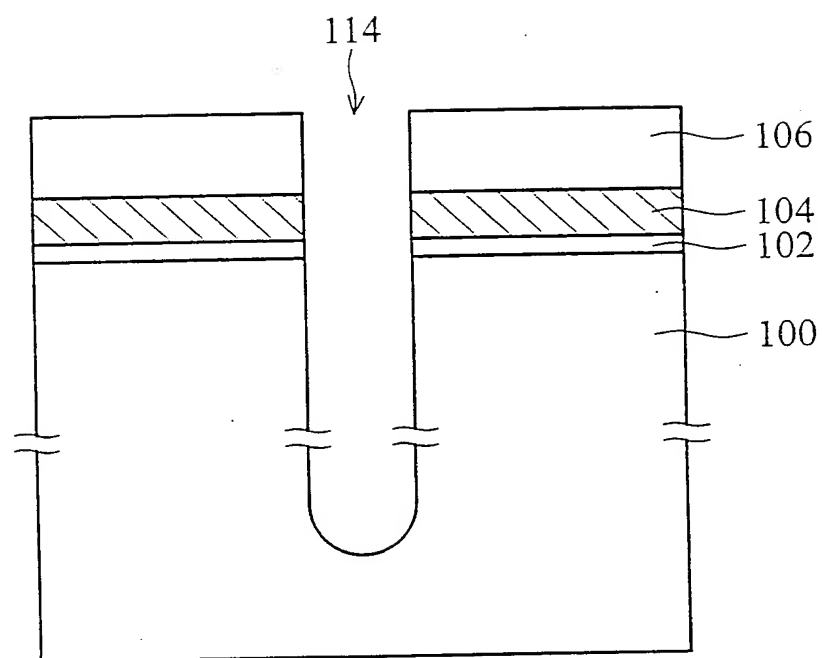




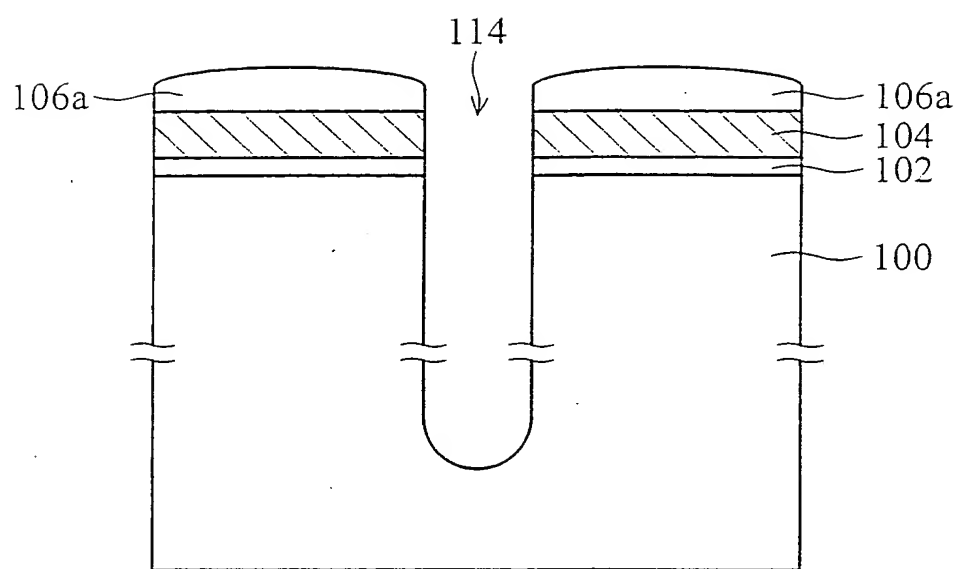
第 1a 圖



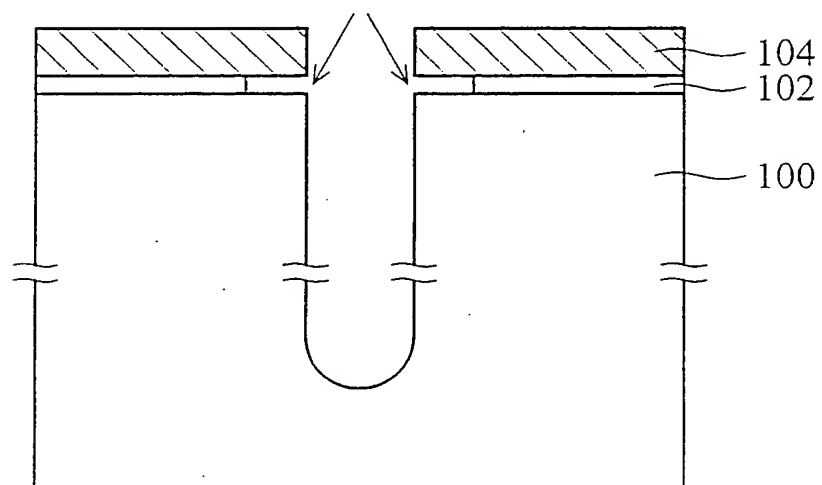
第 1b 圖



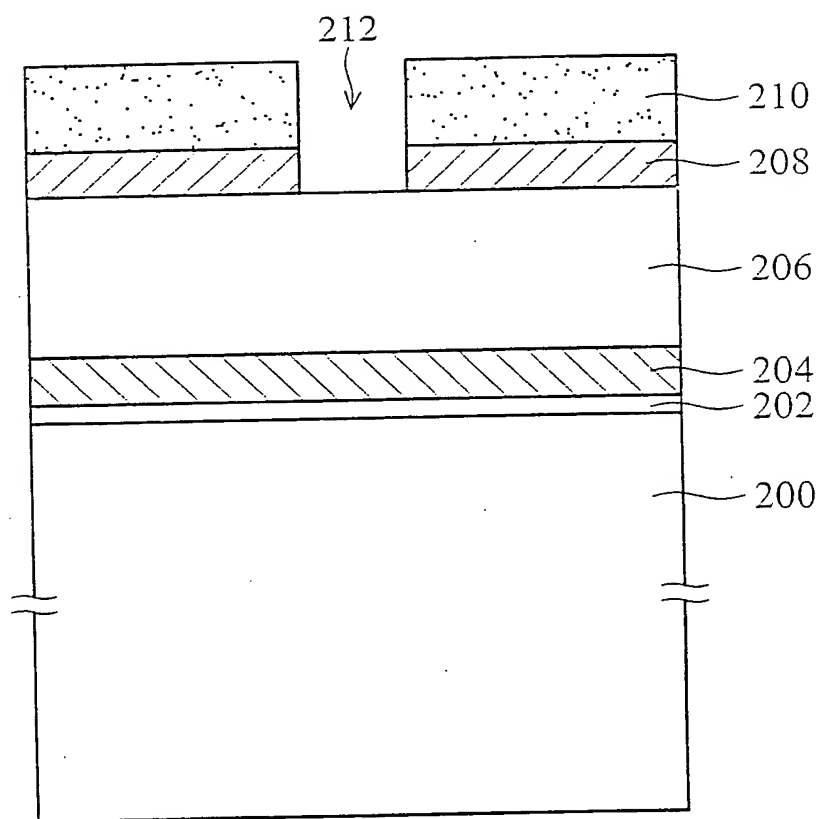
第 1c 圖



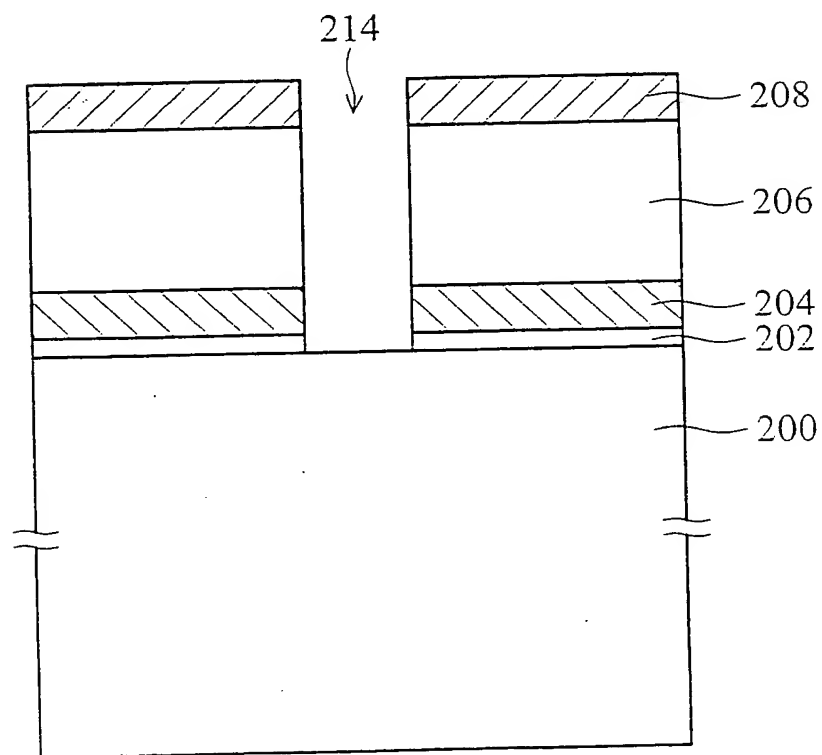
第 2a 圖



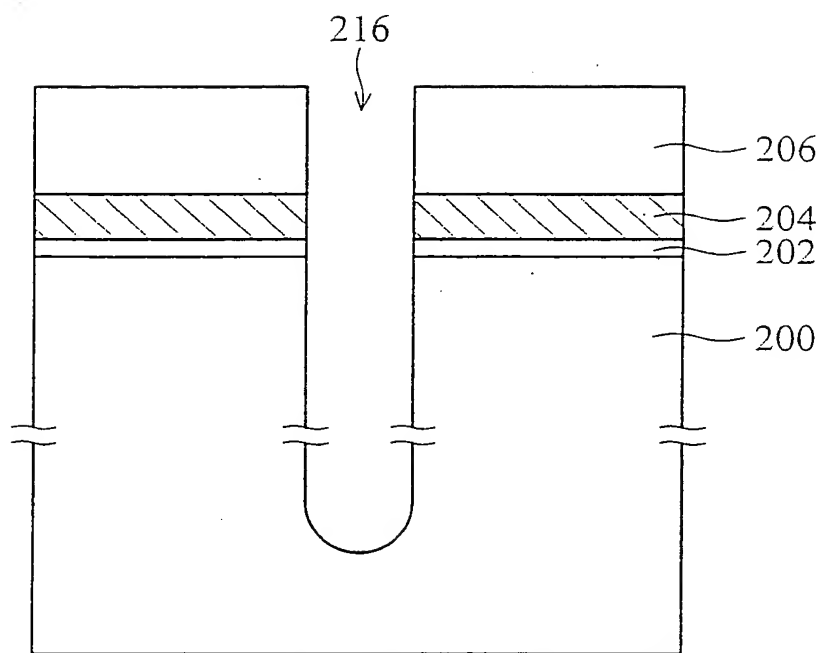
第 2b 圖



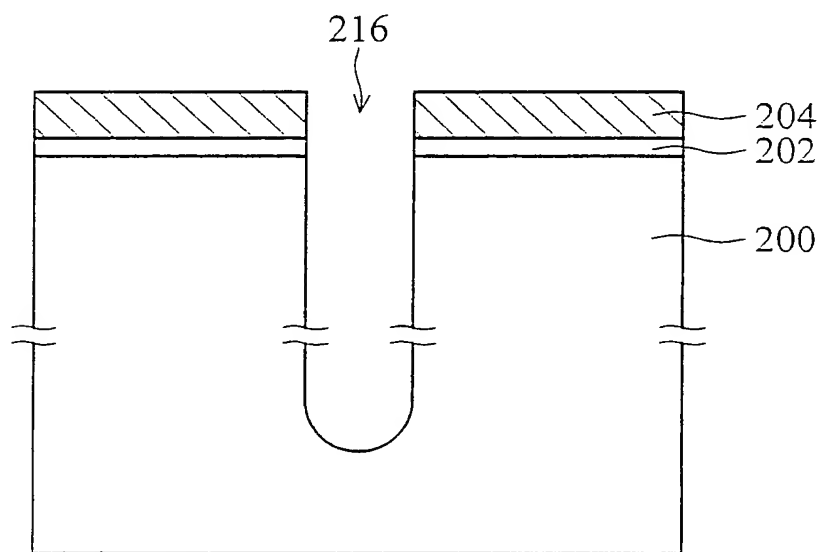
第 3a 圖



第 3b 圖

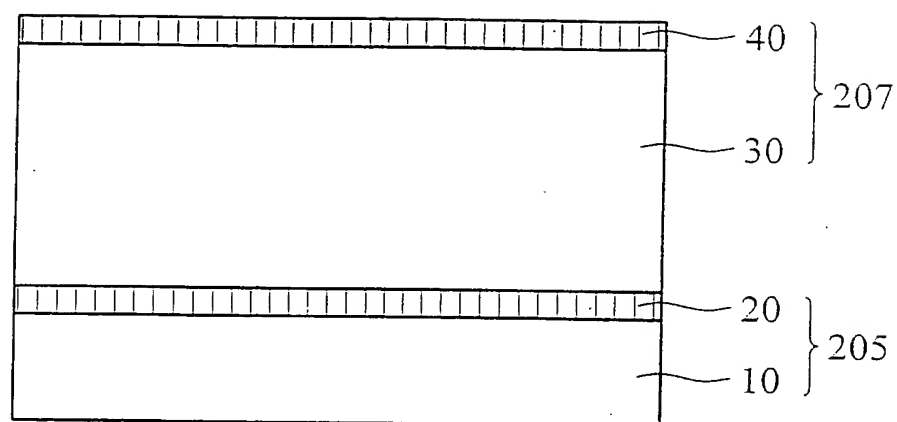


第 3c 圖



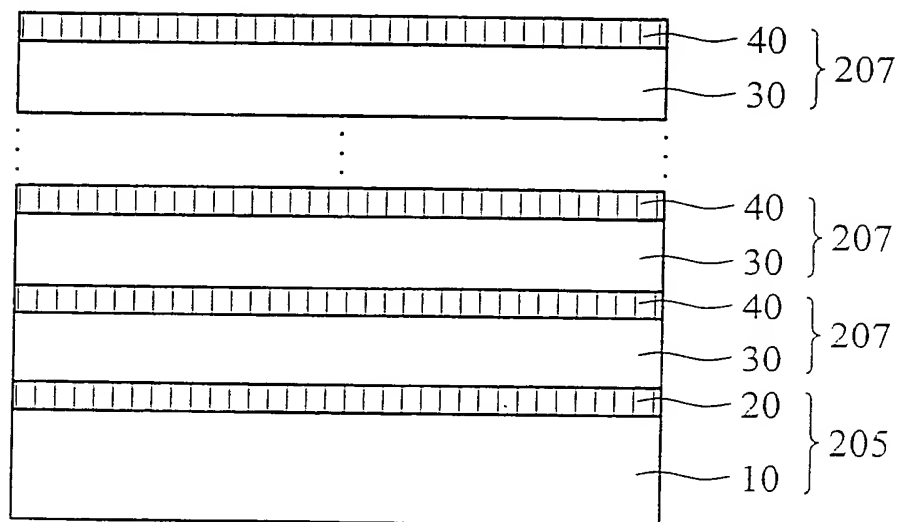
第 3d 圖

206



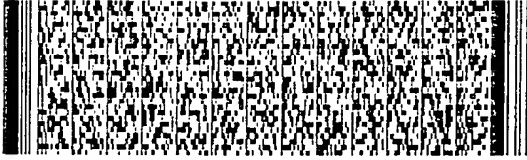
第 4 圖

206



第 5 圖

第 1/21 頁



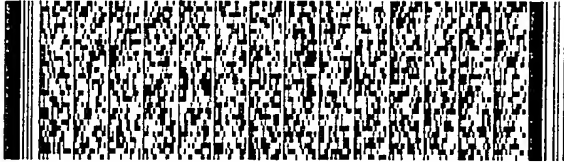
第 1/21 頁



第 2/21 頁



第 2/21 頁



第 3/21 頁



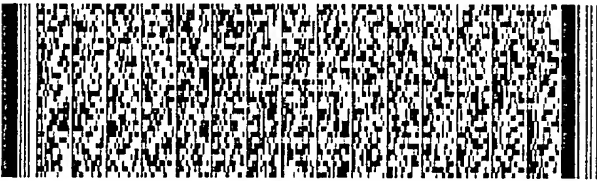
第 4/21 頁



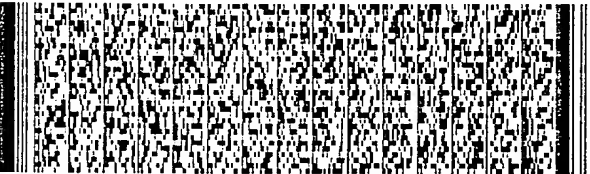
第 5/21 頁



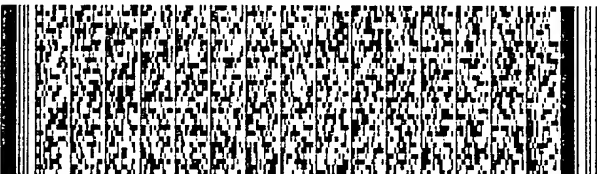
第 6/21 頁



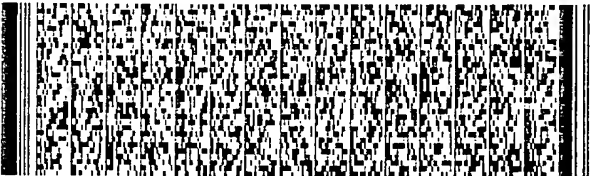
第 6/21 頁



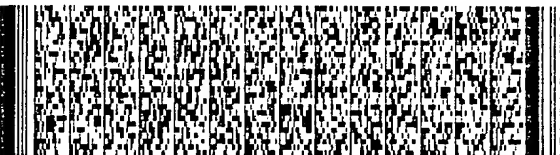
第 7/21 頁



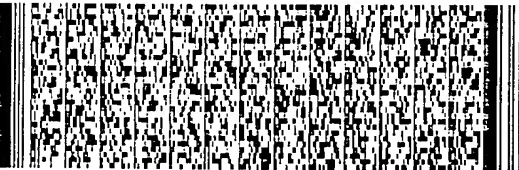
第 7/21 頁



第 8/21 頁



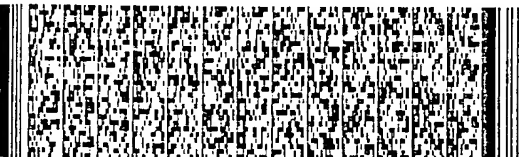
第 8/21 頁



第 9/21 頁



第 9/21 頁



第 10/21 頁



